

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-179344

⑤ Int. Cl.⁵

H 04 L 25/49
G 11 B 20/10

識別記号

3 4 1 A
Z

庁内整理番号

8226-5K
7923-5D

④ 公開 平成4年(1992)6月26日

審査請求 未請求 請求項の数 2 (全10頁)

⑥ 発明の名称 符号化装置

⑦ 特 願 平2-306199

⑦ 出 願 平2(1990)11月14日

⑦ 発 明 者 宮 下 敦 東京都小平市御幸町32番地 日立電子株式会社小金井工場
内

⑦ 出 願 人 日立電子株式会社 東京都千代田区神田須田町1丁目23番2号

⑦ 代 理 人 弁理士 武 頭次郎 外1名

明 細 書

1. 発明の名称

符号化装置

2. 特許請求の範囲

1. 処理可能ビット幅 n ($n > 2$) で、 2 種類 ($n > 2 \geq 2$) の禁止コードを有する信号伝送処理系において、逐次伝送処理すべき 2^n ビットの入力データを取り込み、その中の $(2^n - 2)$ 個のデータ中に存在する未使用コードを検出し、上記入力データ中に現われた上記禁止コードを予め設定してある所定の置換法則に基づいて上記未使用コードに置換した上で該所定の置換法則を表わすデータを付加して出力する第1の符号変換手段と、入力されたデータから上記所定の置換法則を表わすデータを抽出し、この抽出したデータに基づいて上記入力データ中の未使用コードに置換されているコードを元のコードに戻して出力する第2の符号変換手段とを設け、上記信号伝送処理系の入力を上記第1の符号変換手段の出力とし、上記信号伝送処理系の出力

を上記第2の符号変換手段を介して取り出すように構成したことを特徴とする符号化装置。

2. 請求項1の発明において、上記入力データ中の未使用コードが上記禁止コードと一致したとき、上記所定の置換法則を表わすデータの付加順序を変更する手段が上記第1の符号変換手段に設けられていると共に、このデータの付加順序の変更を検出して、上記入力データ中の未使用コードに置換されているコードを元のコードに戻す処理を抑制し停止する手段が上記第2の符号変換手段に設けられていることを特徴とする符号化装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、処理可能ビット幅が例えば8で、例えば2種の禁止コードを有するデジタルビデオテープレコーダ(D-VTR)やデジタル伝送システムなどの信号伝送処理系における符号化装置に関する。

〔発明の概要〕

特開平4-179344(2)

或る種のD-VTRなどでは、そのビット数で定まるコード数の全てを処理することはできず、いくつかの禁止コードを有する。これは、例えば8ビットのD-VTRでは、 00_H と FF_H の2種のコードは同期タイミングの検出用に割り当てられているためであり、従って、この場合には2種の禁止コードがあることになり、記録可能なビデオ信号に制約を生じる。

本発明では、一般に n ビット、例えば8ビットのデータ列において、 l 種の、例えば2種の禁止コードがある場合、このデータ列の中の $(2^n - l)$ 個、例えば254ワードのデータだけを取り出し、その中のコードの種類数を調べると、最大でも254種類のコードしか存在せず、このため、その中には未使用コードが存在する確率が極めて高いことに着目し、この未使用コードを利用して、入力信号データ中に禁止コードが現われたときには、これを上記未使用コードに置換することにより禁止コードの制約を免れ、その記録や伝送などの処理を可能にしたものである。

から逃れることができる。

〔従来の技術〕

デジタル技術の進歩に伴い、近年、テレビジョン信号などの映像信号の記録や伝送などに際しても、デジタル技術の適用が多くなっているが、その一環としてD-VTRがある。

ところで、このD-VTRでは、デジタル映像信号の記録に際して、そのビット数で定まるコードの全ての種類を処理することはできず、いくつかの禁止コードを有する。これは、例えば8ビットのD-VTRでは、 00_H と FF_H の2種のコードは同期タイミングの検出用に割り当てられているためであり、従って、この場合には2種の禁止コードがあることになり、記録可能なビデオ信号に制約を生じる。

これを一般化して言えば、処理可能ビット幅 n ($n > 2$)で、 l 種類 ($n > l \geq 2$)の禁止コードを有する信号伝送処理系では、そこでの処理可能な入力信号に制約があることになる。

そこで、このような制約を受けないようにする

このため、例えば、上記の8ビットの場合、254ワードの中から2種の未使用コード X_1 と X_2 を検出し、入力信号中に現われてしまった禁止コード 00_H と FF_H の2種のコードを、この未使用コード X_1 と X_2 に置換する。以後、254ワードのデータ列に禁止コード 00_H と FF_H の置換データである X_1 と X_2 を、例えば、その先頭に、置換情報として付加し、2ワード+254ワードの計256ワードのデータ構成に変換する。以後、254ワードごとに各々、この置換の内容を逐次置換情報である X_1 、 X_2 を付加してからD-VTRなどによる処理に移す。

次に、D-VTRなどからの出力信号は、まず、256ワードのデータの先頭にある置換情報 X_1 、 X_2 を取り出し、この情報を基にして残りの254ワードの中に存在する X_1 、 X_2 のコードをもつデータを、元のコード 00_H と FF_H に変換するのである。

そして、この結果、8ビットの全てのデータを256/254倍に増加させるだけで禁止コードの制約

ための従来技術として、例えば、 $n = 8$ の場合における6-7変換技法がある。

この6-7変換技法では、まず、入力可能コードの $01_H \sim FE_H$ を $001_H \sim 0FE_H$ という9ビットのコードに変換する。次に、禁止コードである 00_H と FF_H は、それぞれ $10F_H$ 、 $1F0_H$ の9ビットのコードに変換する。そして、8ビット、6ワードの元のデータを9ビット、6ワードのデータに変換した後、各々から生じた9ビット目のビットデータを集め、7ワード目の変換データとする。具体的に言えば、6ワードの変換により生じた合計6個の9ビット目のデータを、7ワード目のデータの下位側のビット1~ビット6に割り当てるのである。そして、7ワード目の上位2ビット分のデータ、つまりビット7とビット8には、7ワード目のデータが禁止コードである 00_H と FF_H とならないように、“1”と“0”を強制的に割り当て、8ビット構成とした7ワード目のデータを作るのである。

この結果、上記禁止コードを有するD-VTR

特開平4-179344 (3)

による記録が可能になる。

一方、再生時には、以上と逆の変換を行なうことにより、7ワードの変換データから元の8ビット、6ワードのデータを得ることができる。

従って、この従来技術によれば、6ワードを7ワードに変換することによるデータ量の7/6倍への増加を許容することにより、禁止コードの制約を除くことができる。

〔発明が解決しようとする課題〕

上記従来技術は、データ処理量の増加について配慮がされておらず、処理速度を上げる必要があり、コストアップを伴い易いという欠点があった。

具体的には、上記した場合には、データ処理量は7/6倍(約1.17倍)になり、かなりの処理速度の上昇を必要とすることになる。

本発明の目的は、上記した従来技術の欠点に充分に対処でき、僅かなデータ処理量の増加で確実に禁止コードによる制約が逃れるようにした符号化装置を提供することにある。

具体例としては、上記の場合、本発明によれば、

とX₁を、例えば、その先頭に、置換情報として付加し、2ワード+254ワードの計256ワードのデータ構成に変換する。以後、254ワードごとに各々、この置換の内容を表わす情報であるX₁、X₂を付加してからD-VTRなどによる処理に移す。

次に、D-VTRなどからの出力信号は、まず、256ワードのデータの先頭にある置換情報X₁、X₂を取り出し、この情報を基にして残りの254ワードの中に存在するX₁、X₂のコードをもつデータを、元のコード00_nとFF_nに変換するのである。

〔作用〕

入力信号に禁止コードが現われた場合、それを置換して処理するのであるが、このとき、未使用コードに置換しているため、この処理に新たなビットは不要である。しかして、この置換を戻すのに情報の付加が必要になるが、これに必要なデータ量の増加は禁止コードの種類に対応した数だけとなるので、ごく僅かで済むことになる。

256/254倍(約1.008倍)のデータ処理量の増加で済む。

〔課題を解決するための手段〕

上記目的を達成するため、本発明は、一般にnビット、例えば8ビットのデータ列において、 2^{ℓ} 種の、例えば2種の禁止コードがある場合、このデータ列の中の($2^n - 2^{\ell}$)個、例えば254ワードのデータだけを取り出し、その中のコードの種類数を調べると、最大でも254種類のコードしか存在せず、このため、その中には未使用コードが存在する確率が極めて高いことに着目し、この未使用コードを利用して、入力信号データ中に禁止コードが現われたときには、これを上記未使用コードに置換するようにしたものである。

例えば、上記の8ビットの場合、254ワードの中から2種の未使用コードX₁とX₂を検出し、入力信号中に現われてしまった禁止コード00_nとFF_nの2種のコードを、この未使用コードX₁とX₂に置換する。以後、254ワードのデータ列に禁止コード00_nとFF_nの置換データであるX

〔実施例〕

以下、本発明による符号化装置について、図示の実施例により詳細に説明する。

第1図は本発明の一実施例で、図において、10は第1の符号変換装置、20はD-VTR、そして30は第2の符号変換装置である。

第1の符号変換装置10は、図示のように、未使用コード検出部2と、禁止コード置換部3、及び置換法則付加部4で構成され、入力端子aに供給されたデジタル化映像信号を入力データとして取り込み、その中の($2^n - 2^{\ell}$)個のデータ中に存在する未使用コードを検出し、上記入力データ中に現われた上記禁止コードを予め設定してある所定の置換法則に基づいて上記未使用コードに置換した上で該所定の置換法則を表わすデータを付加して出力端子bに出力する働きをする。

D-VTR20は禁止コードを有するもので、この実施例ではD-VTRとなっているが、一般的にはD-VTRに限らず、処理可能ビット幅n($n > 2$)で、 2^{ℓ} 種類($n > \ell \geq 2$)の禁止コードを

特開平4-179344 (4)

有する信号伝送処理系ならどのようなデジタル信号処理装置であってもよい。

第2の符号変換装置30は、これも図示のように、置換法則抽出部5と、禁止コード再現部6、それに置換法則除去部7で構成され、入力端子cから供給されたデータから上記所定の置換法則を表わすデータを抽出し、この抽出したデータに基づいて上記入力データ中の未使用コードに置換されているコードを元のコードに戻して出力端子dに出力する働きをする。

次に、この実施例の動作について説明する。

まず、この実施例では、D-VTR20の処理可能ビット幅nが8で、禁止コードの種類が2、つまり $2^n = 2$ で、それらは00_nとFF_nであるとする。

入力端子aに処理すべきデジタル映像信号が供給されると、まず未使用コード検出部2は、この8ビットのデータD₁'～D₂₅₄'からなる254ワードのデータを調べ、その中に存在していないコード、つまり未使用となっているコードを少なく

とになる。

置換法則付加部4は、禁止コードを置換したコードである未使用コードX₁、X₂を表わす8ビット、2ワードのコードを、置換法則を表わす情報データとして、上記の「D₁'、D₂'、……D₂₅₄'」の254ワードからなるデータの先頭に付加し、「X₁、X₂、D₁'、D₂'、……D₂₅₄'」という並びからなる256ワードのデータとして出力し、それをD-VTR20に供給する。

このとき、254ワードのデータを256ワードのデータとして出力するのであるから、入力端子aでのデータ入力レートは、D-VTR20のデータ入力レートの254/256倍と低く設定しておく必要がある。

以下、このようにして、順次入力端子aに供給されるデータの254ワード毎に同じ処理を繰返し、256ワードのデータとしてD-VTR20に供給し、記録して行くのである。

次に、このようにしてD-VTR20に記録したあと、この記録された信号が再生されると、こ

とも2種検出する。ここでは、この存在していないコードの内の2個が01_nと02_nであったとする。

そこで、未使用コード検出部2は、このコード01_nと02_nを未使用コードX₁、X₂と定め、それを禁止コード置換部3の制御端子と置換法則付加部4のB₁、B₂入力とに出力する。

禁止コード置換部3は、この制御端子に入力された未使用コードX₁、X₂に基づいて、入力端子aから供給されている254ワードのデータD₁'～D₂₅₄'に対して処理を行ない、第1の禁止コードである00_nは未使用コードX₁(=01_n)に置換して出力し、第2の禁止コードであるFF_nは未使用コードX₂(=02_n)に置換して出力する。そして、その他のコード03_n～FE_nに対しては何も処理を与えず、そのまま出力する。

従って、この禁止コード置換部3からは、禁止コードが01_n、02_nに置換された「D₁'、D₂'、……D₂₅₄'」の254ワードのデータが出力され、これが置換法則付加部4のA入力に供給されるこ

の信号は、まず、置換法則抽出部5に供給され、ここで256ワードの先頭にあるコードX₁(=01_n)、X₂(=02_n)が置換法則情報として抽出される。そして、この8ビット、2ワードのコードからなる置換法則情報X₁、X₂は禁止コード再現部6に供給される。

そこで、この禁止コード再現部6は、置換法則情報X₁、X₂に基づいて、この後に続く254ワードのデータ「D₁'、D₂'、……D₂₅₄'」を順次調べ、その中に存在するX₁、X₂(この実施例では、01_n、02_nとなる)というコードを、今度は、それぞれコード00_n、FF_nに逆に変換して出力すると共に、このコードX₁、X₂以外のコード(この実施例では、03_n～FE_n)は元のままで、そのまま出力するのである。

この結果、この禁止コード再現部6の入力側でデータ「D₁'、D₂'、……D₂₅₄'」の中に存在したX₁、X₂(01_n、02_n)というコードは、その出力側ではコード00_n、FF_nとして再現されていることになる。

特開平4-179344(5)

しかしながら、この禁止コード再現部6の出力である254ワードのデータでは、もはや不要になった置換法則情報 X_1, X_2 が、その先頭に残っている。

そこで、このデータは、続いて置換法則除去部7に入力され、ここで先頭にあるこれらのコード X_1, X_2 が除去され、且つ、上記したように、もとのデータレートへの変換を行なってから出力端子bに供給される。

以後、D-VTR20から供給される256ワードのデータ毎に順次同じ処理を施して行くことにより、このD-VTR20により与えられている禁止コードの制約を受けることなく、所定のデジタル映像信号の記録、再生を行なうことができるのである。

そして、この実施例の場合、データ処理量の増加は、256/254倍、すなわち、約1.008倍と僅かで済むことになる。

次に、この実施例における各構成部分について、さらに詳細に説明する。

スBのL256入力とに接続されている。

さらに、L群のアンドゲート2-4-1~2-4-254の各他方の入力は、それぞれ図で上側にあるアンドゲートの出力に接続され、同様にM群のアンドゲート2-5-3~2-5-256の各他方の入力も、それぞれ図で下側にあるアンドゲートの出力に接続されている。

そして、全てのアンドゲートの出力はバスBとバスCの各入力に接続されている。

次に、バスBの256本の出力はエンコーダ2-6に入力され、このエンコーダ2-6の出力が端子2-9aに出力される。他方、バスCの同じく256本の出力はエンコーダ2-7に入力され、このエンコーダ2-7の出力がインクリメンタ2-8に入力され、このインクリメンタ2-8の出力が端子2-9bに出力されるようになっている。

次に、動作について説明する。

まず、デコーダ2-2は、254ワードの8ビットからなるデータの各ワードが入力端子2-1から供給される毎に、そのコードに応じて、25

まず、第2図は未使用コード検出部2の一実施例で、この実施例も、第1図で説明した実施例と同じく8ビット($n=8$)で、2種の禁止コード($q=2$)の場合のものである。

図において、入力端子2-1はデコーダ2-2に接続され、このデコーダ2-2の256個の出力は、それぞれ256個のRSフリップ・フロップ2-3-1~2-3-256のS入力に接続されている。

そして、これらRSフリップ・フロップ2-3-1~2-3-256のQ出力S1~S256は、まず、一方の組合せをなすL群のANDゲート2-4-1~2-4-255の各一方の入力に接続されると共に、Q出力S2~S256は、他方の組合せをなすM群のANDゲート2-5-2~2-5-256の各一方の入力に接続される。

しかして、RSフリップ・フロップ2-3-1のQ出力S1だけはANDゲート2-5-2の他方の入力と、バスCのM1入力とに接続され、同様にRSフリップ・フロップ2-3-256のQ出力S256はANDゲート2-4-255の他方の入力とバ

6本の出力の中、それに対応した1本の出力レベルだけが“1”になり、残りの255本の出力は“0”レベルを保ったままになるように構成されている。

一方、256個のRSフリップ・フロップ2-3-1~2-3-256は、入力データの各ワードの始まり毎に、端子2-11から供給されるリセット信号によりリセットされるようになっている。

この結果、入力データの各ワードの入力が終わる毎に、256個のRSフリップ・フロップ2-3-1~2-3-256の中で、そのコードに対応したRSフリップ・フロップだけがセットされ、その出力Qがレベル“1”になるから、結局、256ワードの入力データが供給される毎に、その中に存在した未使用コードに対応したRSフリップ・フロップだけが、その出力レベル“0”のままに保たれることになる。

次に、L群のANDゲート2-4-1~2-4-255は、図示のように接続されている結果、RSフリップ・フロップ2-3-1~2-3-256のQ出力に現われた

特開平4-179344 (6)

“1”レベルと“0”レベルの内、S256側に最も近い方の“0”レベルから、図の下側の出力を全て“0”レベルにした出力を作成するように働き、他方、M群のアンドゲート2-5-3~2-5-256は、RSフリップ・フロップ2-3-1~2-3-256のQ出力に現われた“1”レベルと“0”レベルの内、S1側に最も近い方の“0”レベルから、図の上側の出力を全て“0”レベルにした出力を作成するように働く。

また、エンコーダ2-6とエンコーダ2-7は、それぞれバスBとバスCの256本の出力データから、そのレベルが“0”から“1”に切り替わる点に相当する値を8ビットデータとして出力するように構成されており、さらにエンコーダ2-7の出力は、インクリメンタ2-8は、その入力データに+1加算した出力を発生するように構成されている。

この結果、出力端子2-9aからは、エンコーダ2-6の出力である、未使用コードの内、最も大きな値を示したコードX、が出力され、他方、出

力端子2-9bからは、エンコーダ2-7の出力にインクリメンタ2-8で+1加算されたことにより、未使用コードの内、最も小さな値を示したコードX、が出力されることになり、結局、上記した未使用コード検出部2としての機能が得られることになる。

なお、これらエンコーダ2-6とエンコーダ2-7としては、HD74LS148などの名称で市場に供給されているICを使用すればよい。

次に、禁止コード置換部3の一実施例を第3図により説明する。

入力端子3-1はシフトレジスタ3-2に接続され、その出力は切換器3-7の入力接点cと、コンパレータ3-5、3-6の各B側入力端子に接続されている。

2個の未使用コード入力端子3-9a、3-9bは、それぞれ、まずラッチ3-3、3-3の入力に接続され、これらの出力が切換器3-7の入力接点a、bに接続されている。

コンパレータ3-5、3-6のA側端子は、禁止コ

ードである00_n、FF_nに各々設定され、各出力は切換器3-7の制御端子c₁、c₂に接続される。

切換器3-7の出力は、出力端子3-8へ接続される。

次に各部の動作について述べる。

まず、未使用コードの検出には少なくとも254ワード分の期間を要し、その期間は禁止コード置換が行なえない。そこでSR3-2を設け、データを一定期間保持しておく。

ラッチ3-3、3-4は、入力端子3-9a、3-9bへ印加される未使用コード値X₁、X₂を各々記憶保持する働きをする。

コンパレータ3-5、3-6はSR3-2から出力されるデータ中に00orFFが存在した際、出力論理を1とする働きをする。

切換器3-7は、c₁、c₂=0、0になっているときにはcを選択して、SR3-2の内容を出力し、また、c₁、c₂=1、0のときにはX₁が印加されたaを、そしてc₁、c₂=0、1のときにはX₂が印加されたbを、それぞれ選択して出

力するものである。

この結果、データ中に含まれた00、FFに応じて、切換器3-7がコンパレータ3-5、3-6により制御され、禁止コードの置換が実行されることになる。

次に、置換法則付加部4の一実施例を第4図に示す。

A入力端子4-1はFiFo(ファーストイン・ファーストアウト)メモリ4-5の入力に、そしてB₁、B₂入力端子4-2a、4-2bはラッチ4-3、4-4の入力端子に、それぞれ接続される。

切換スイッチ4-6の入力端子dにはラッチ4-3の出力が、入力端子eにはラッチ4-4の出力が、そして入力端子fにはFiFoメモリ4-5の出力がそれぞれ接続される。

以下、動作について述べる。

ラッチ4-3、4-4は、印加された未使用コードX₁、X₂を各々記憶保持する働きをする。

FiFo4-5は、禁止コードが置換済となったデータ254ワードの速度を256/254に

特開平4-179344(7)

逆め、且つ、逆めたワード・レートにて2ワード分遅延させて出力する。

切換器4-6は、置換法則情報としてラッチ4-3、4-4の出力 X_1 、 X_2 (00、FFの置換後データ値)の2ワードを順次に選択し出力した後、FIFOメモリ4-5の置換済データ254ワードを続いで出力する。

この結果、先頭2ワードに置換法則情報が付加され、その後に置換済データを含むデータ列が端子4-7から出力され、コード制限のある装置、又は伝送路の一種であるD-VTR20へ入力されることになる。

次に、置換法則抽出部5の一実施例を第5図に示す。

入力端子5-1は、ラッチ5-2、5-3の各々のデータ入力端子に、また、各々のデータ出力端子は、出力端子5-4、5-5に接続される。なお、図では省略してあるが、ラッチ5-2、5-3は、各々クロック端子ckを備えていて、この端子には、第1、第2の置換情報がデータ端子に印加された

切換器6-6は、制御入力 c_1 、 c_2 が1、0のときにはd入力を、0、1のときにはe入力を、そして0、0のときにはf入力をそれぞれ選択するものとする。

この結果、00 μ 、FF μ を置換したコードである X_1 、又は X_2 が端子6-1へ入力されると、比較器からは1、0、又は0、1が出力され、これに応じて00 μ 、又はFF μ が切換器6-6により選択出力されることになり、禁止コード00 μ 、又はFF μ が再現される。

次に、置換法則除去部7の構成を第7図に示す。

入力端子7-1はFIFOメモリ7-2のデータ入力端子に接続され、このFIFOメモリ7-2のデータ出力は出力端子7-3に接続される。なお、図では省略したが、書き込み、読出し各々にクロック及び、リセット端子があり、クロックパルスは書き込み時は256/254に逆めたレート、読出し時は第1図の端子aへ印加されるレートとする。また、リセットパルスの場合、書き込み時は256ワード毎に、置換法則情報後のデータに同期し

とき、クロックパルスが順次印加されるようにになっている。この結果、ラッチ5-2、5-3は置換情報 X_1 、 X_2 を各々ホールドし、次のクロックパルス入力までの期間、これらの情報 X_1 、 X_2 を出力し続けることになる。

第6図は、禁止コード再現部6の一実施例で、D-VTR20からの再生出力信号が印加される入力端子6-1は、比較器6-4、6-5のB入力、及び切換器6-6のf入力へ接続される。

置換情報 X_1 、 X_2 が印加される端子6-2、6-3は、各々比較器6-4、6-5のA入力へ接続されている。

比較器6-4、6-5の各出力は切換器6-6の c_1 、 c_2 の制御入力へ接続される。切換器6-6のd、e入力へは各々禁止コードである00 μ 、FF μ が印加され、出力信号端子は端子6-7に接続される。

以下動作について述べる。

比較器6-4、6-5はA入力とB入力が一致したときに論理1を、そして不一致のときには論理0を出力するものとする。

て入力することで、メモリ内空間の一番地へは禁止コード再現済の254ワードの先頭データが記憶される形の位相とする。そして、読出し側は、元のクロックレートにて254ワード毎に入力することで、FIFOメモリ7-2の1~254番地のみが読出され、255、256番地に記憶されている、次の254ワード時用の置換法則情報は出力されない。

この結果、置換法則情報が除去され、端子aに印加したデータと全く同じ構成とレートのデータが得られる。

なお、以上に述べた実施例で使用したラッチ3-3、4-3、5-2などとしては、例えばHD74LS374などとして知られているICを、比較器3-5、3-6、6-4、6-5などにはHD74LS85、切換器3-7、6-6としてはHD74LS153、FIFOメモリ4-5、7-2には μ PD42505、そしてSR3-2にはSM5828などのICを利用すれば良い。

また、これまでの説明は、禁止コードが2種の

特開平4-179344 (8)

場合を例として示したが2種以上の場合の実施例はデジタル技術に関連した職種の者であれば容易に類推できるため省略する。

次に、第8図は、未使用コード検出部2の別の一実施例で、図において、入力端子2-1は、切換器2-18のa入力と、切換器2-19のb入力へ接続される。そして各切換器の出力は、メモリ2-10と2-11のアドレス入力に接続される。

カウンタ2-12の出力は切換器2-18のb入力と、切換器2-19のa入力、それにラッチ2-17-1~2-17-nのデータ入力端子へ接続される。

メモリ2-10、2-11の入力Iは切換器2-14、2-15の出力端子に接続され、これらのメモリ2-10、2-11の出力Oは切換器2-16の接点b、aへ各々接続される。

クロックコントローラ2-13の出力C、~Cnはラッチ2-17-1~2-17-nのCK端子に接続され、その制御端子ENには切換器2-16の出力端子が接続される。

ラッチ2-17-1~2-17-nのQ出力は各々端子2

メモリ2-10のアドレスのデータ内容は論理1となる。そして、この第1の期間中、メモリ2-11には、カウンタ2-12から00_n~FF_n値がアドレスに印加され、内容が順次読出された直後、論理0が記憶されていく。

次に、第2の254ワードの期間には、b側が選択され、未使用コードのアドレスに対応するデータ内容は論理0のままとなったメモリ2-10は、カウンタ2-12により00_n~FF_nの値がアドレスに印加されるリード・モディファイ・ライト処理により、第1の期間に記憶されたデータが読出されるとともに、論理0が書き込まれ、メモリ内容を順々にリセットしていく。この結果、メモリから0が出力された際のカウンタ2-12の出力値は、未使用であったコードと同一になる。

そこで、前述したように動作するクロックコントローラ2-13は、EN端子0時パルスを出力することで未使用コード値を若い順にラッチ2-17-1~2-17-nへ保持させていく。

こうして第2の254ワード終了時には、未使

用コード2-9-1~2-9-nに接続される。

次に、この実施例の動作について説明する。

切換器2-14、2-15、2-16、2-18、2-19は、254ワード毎に、全てa側、b側を交互に選択する。切換器2-14はa側に1、b側に0、切換器2-15はa側に0、b側に1の論理レベルを印加しておく。

クロックコントローラ2-13は、リセット後、EN端子に論理0が入力されると、C₁端子にだけ所定のパルスを1個、出力する。次に論理0が入力されるとC₁端子にのみ1個のパルスを出力、以後、論理0が入力される都度、C₁、C₂、……と順次、1個のパルスを出力するよう動作するものとする。なお、R端子にリセット信号が入力されると、再度C₁端子に戻ってパルス出力を行なうよう動作するものとする。

第1の254ワードの期間に、各切換器においてa側が選択されたとすると、禁止コードを含むデータは、メモリ2-10のアドレス端子へ印加される。そのため、使用されたコードに相当するメ

モリ2-10のアドレスのデータ内容は論理1となる。そして、この第1の期間中、メモリ2-11には、カウンタ2-12から00_n~FF_n値がアドレスに印加され、内容が順次読出された直後、論理0が記憶されていく。

次に、第2の254ワードの期間には、b側が選択され、未使用コードのアドレスに対応するデータ内容は論理0のままとなったメモリ2-10は、カウンタ2-12により00_n~FF_nの値がアドレスに印加されるリード・モディファイ・ライト処理により、第1の期間に記憶されたデータが読出されるとともに、論理0が書き込まれ、メモリ内容を順々にリセットしていく。この結果、メモリから0が出力された際のカウンタ2-12の出力値は、未使用であったコードと同一になる。

そこで、前述したように動作するクロックコントローラ2-13は、EN端子0時パルスを出力することで未使用コード値を若い順にラッチ2-17-1~2-17-nへ保持させていく。

こうして第2の254ワード終了時には、未使用コード2-9-1~2-9-nに接続される。

【発明の効果】

本発明によれば、2ⁿ個のデータに対して2個の置換情報を付加するだけで、デジタルビデオ

特開平4-179344 (9)

テーブルコーダ(D-VTR)やデジタル伝送システムなどの信号伝送処理系における禁止コードの制約をなくすことができ、この結果、僅かなデータ量、すなわち、 $(2^n)/(2^n - 1)$ のデータ増加を伴うだけで所定のデジタル映像信号の記録、再生を行なうことができる。

4. 図面の簡単な説明

第1図は本発明による符号化装置の一実施例を示すブロック図、第2図は未使用コード検出部の一実施例を示すブロック図、第3図は禁止コード置換部の一実施例を示すブロック図、第4図は置換法則付加部の一実施例を示すブロック図、第5図は置換法則抽出部の一実施例を示すブロック図、第6図は禁止コード再現部の一実施例を示すブロック図、第7図は置換法則除去部の一実施例を示すブロック図、第8図は未使用コード検出部の他の一実施例を示すブロック図である。

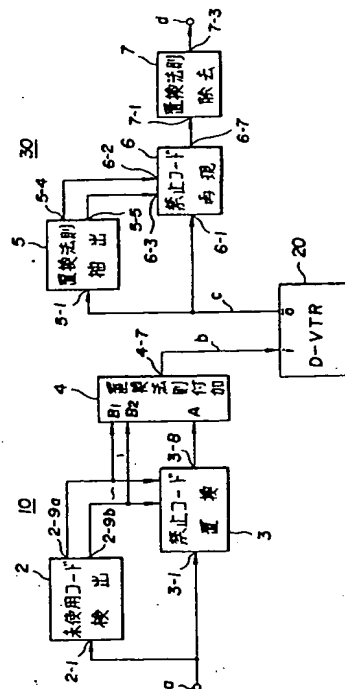
2……未使用コード検出部、3……禁止コード置換部、4……置換法則付加部、5……置換法則抽出部、6……禁止コード再現部、7……置換法

則除去部、10……第1の符号変換装置、20……D-VTR、30……第2の符号変換装置。

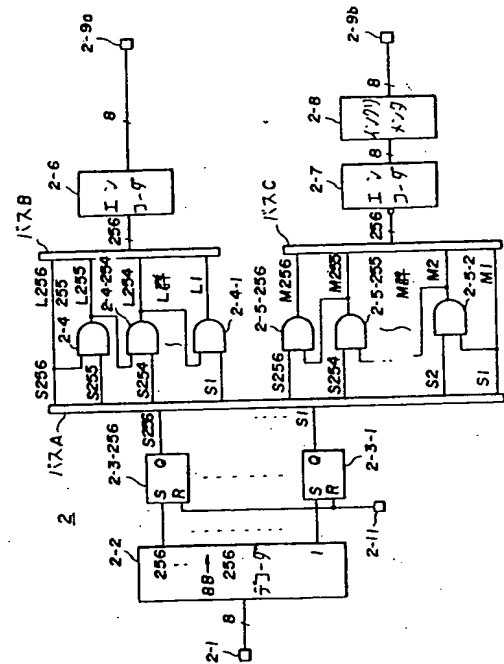
代理人 武 顕次郎(外1名)



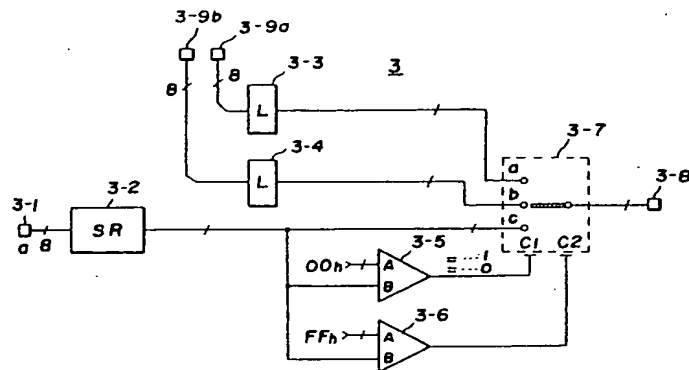
第1図



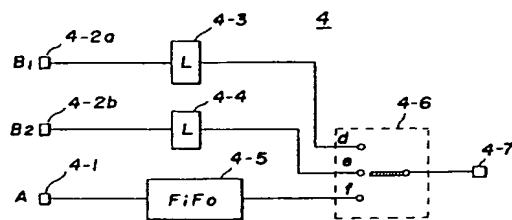
第2図



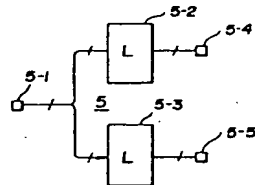
第 3 圖



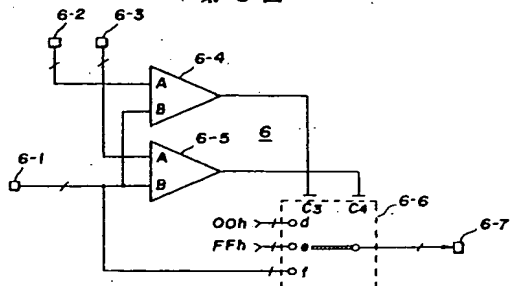
第 4 図



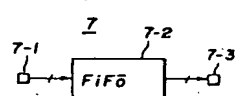
第 5 図



第 6 図



第 7 回



88

